



1806ВМ2, Н1806ВМ2

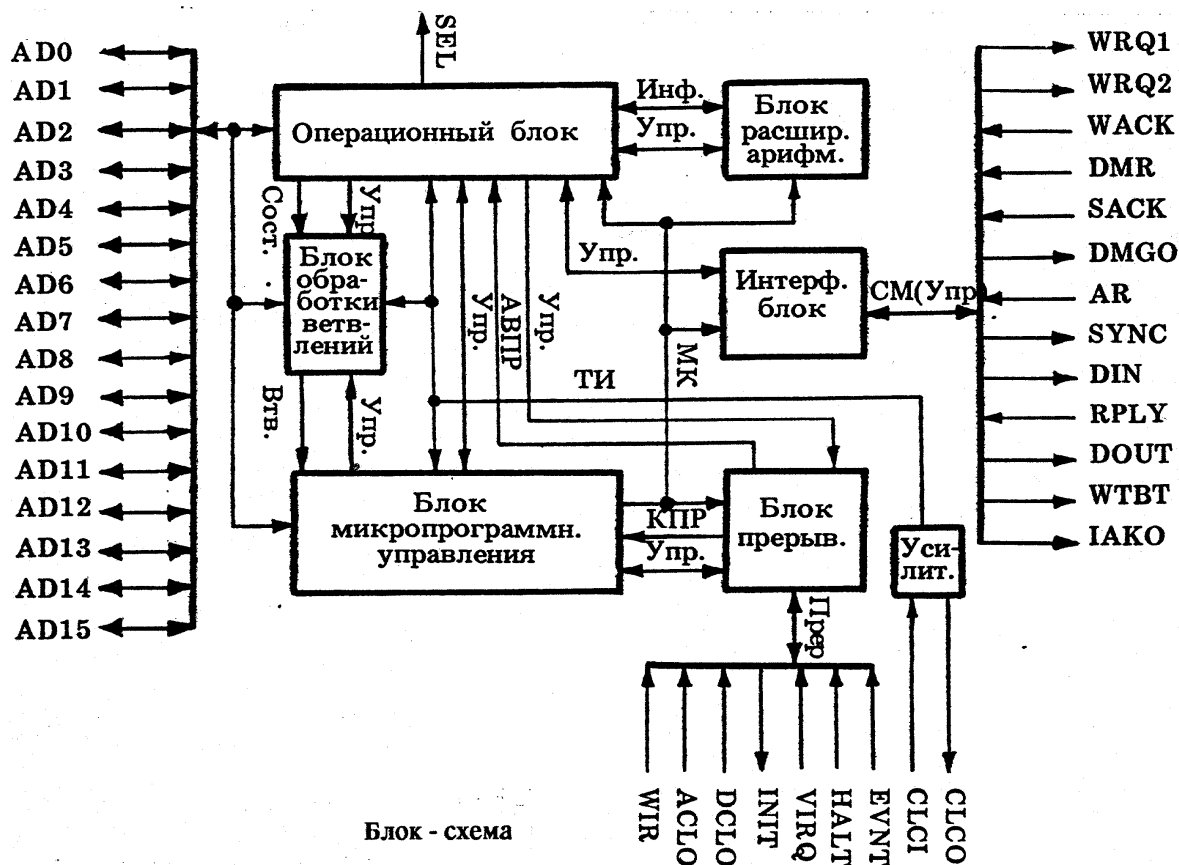
16-РАЗРЯДНЫЙ МИКРОПРОЦЕССОР

1806ВМ2, Н1806ВМ2 – БИС 16-разрядного микропроцессора с архитектурой, совместимой с микроЭВМ LCI-11 фирмы DEC.

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

Разрядность команд и данных –	16 бит	Уровней прерывания –	2
Система команд:		Адресное пространство –	64 Кбайт
• число команд –	77	Тактовая частота –	0 - 5,0 МГц
• тип команд – безадресные, одноадресные, двухадресные		Время выполнения команды "умножение" при частоте 5 МГц и регистровой адресации –	24,8мкс
Виды адресации – регистровая, косвенно-регистровая, автоинкрементная, косвенно-автоинкрементная, автодекрементная, косвенно-автодекрементная, индексная, косвенно-индексная		Возможность выполнения команд в пошаговом режиме	
Регистров общего назначения –	8	Напряжение питания –	5,4 - 5,5 В
Каналов передачи информации –	1	Конструкция – корпус 4138.42-10.01 (1806ВМ2) и Н18.64-1В (Н1806ВМ2)	

СТРУКТУРНАЯ СХЕМА



Блок - схема



КОНСТРУКЦИЯ

Микропроцессор изготовлен по КМОП технологии и выпускается в двух конструктивных исполнениях.

Микросхема 1806ВМ2 выпускается в 42 выводном керамическом корпусе с планарными выводами типа 4138.42-10.01. Допускается поставка микросхемы в корпусах 4138.42-3Н, 4138.42-5.01 и 4138.42-5.01Н с теми же внешними размерами.

Микросхема Н1806ВМ2 выпускается в 64-выводном керамическом кристаллоносителе Н18.64-1В. Допускается поставка микросхемы в корпусе Н18.64-1ВН с теми же внешними размерами. Часть выводов корпуса в этом исполнении не используется.

По заказу, при достаточном объеме партии, ИС может изготавливаться в ином конструктивном исполнении.

Микросхема изготавливается в климатическом исполнении УХЛ по ГОСТ В 20.39.404-81.

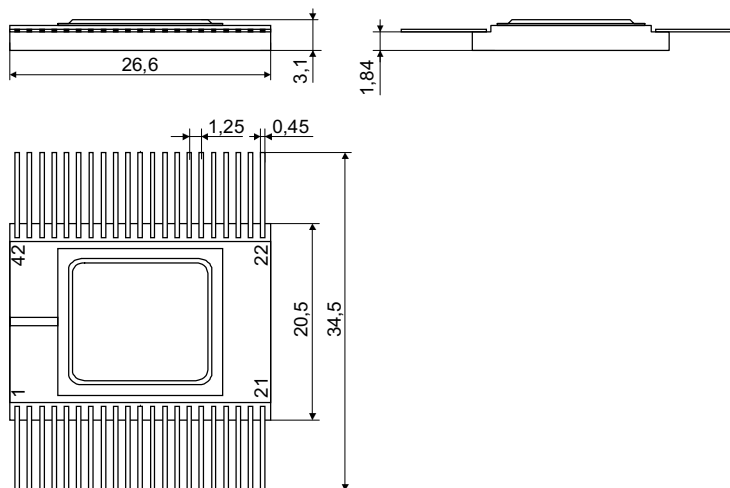
Микросхема предназначена для автоматизированной сборки аппаратуры и соответствует требованиям ГОСТ 20.39.405, группа IX, исполнение 2, а также для ручной сборки.

При заказе и в конструкторской документации микропроцессор обозначается:

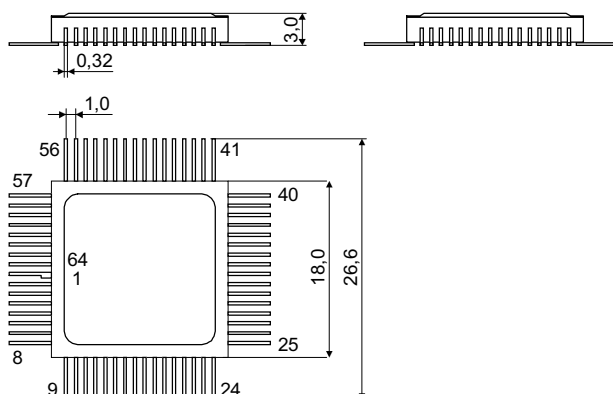
Микросхема 1806ВМ2 БК).347.456 ТУ, или

Микросхема Н1806ВМ2 БК).347.456 ТУ.

Корпус 4138.42-10.01



Корпус Н18.64-1В



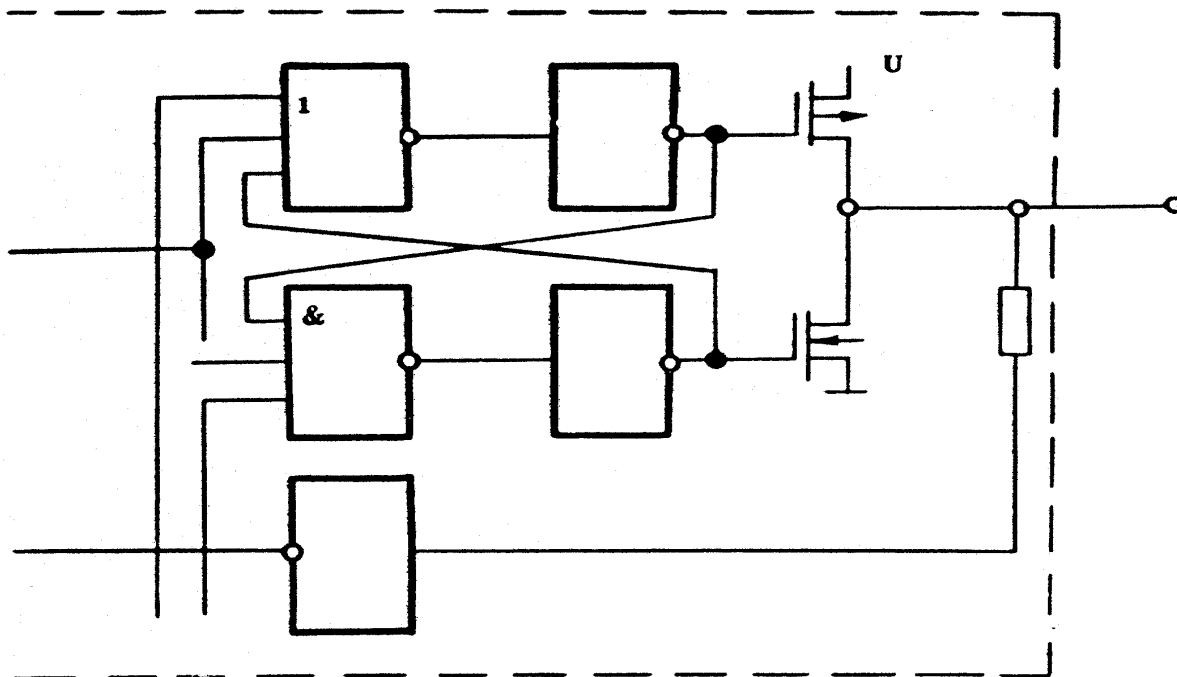


ОПИСАНИЕ ВЫВОДОВ

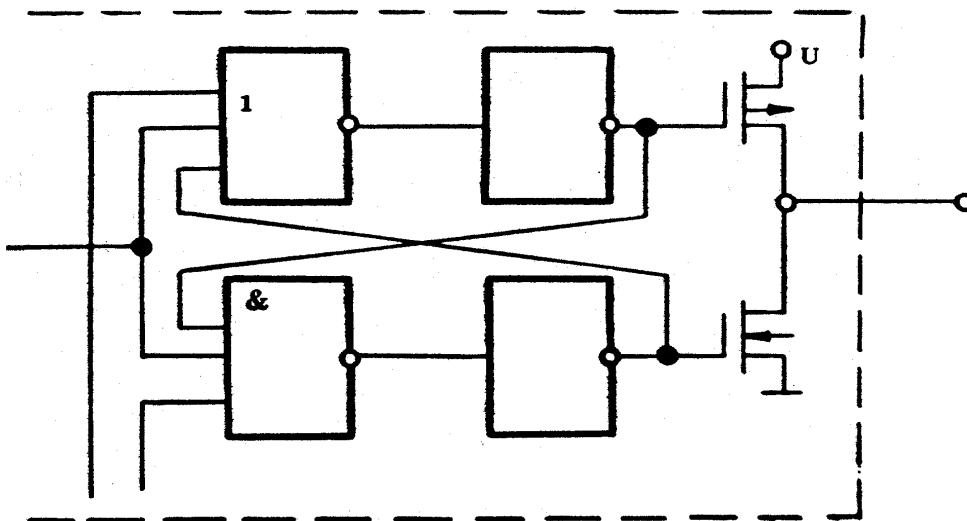
Вывод корпуса		Сим-вол	Описание
H18.64	4136.42		
1, 30	1, 21	0 В	Общий вывод
13	9	AD0	Вход/выход нулевого разряда адреса-данных системной магистрали
12	8	AD1	Вход/выход первого разряда адреса-данных системной магистрали
11	7	AD2	Вход/выход второго разряда адреса-данных системной магистрали
6	6	AD3	Вход/выход третьего разряда адреса-данных системной магистрали
5	5	AD4	Вход/выход четвертого разряда адреса-данных системной магистрали
4	4	AD5	Вход/выход пятого разряда адреса-данных системной магистрали
3	3	AD6	Вход/выход шестого разряда адреса-данных системной магистрали
2	2	AD7	Вход/выход седьмого разряда адреса-данных системной магистрали
63	41	AD8	Вход/выход восьмого разряда адреса-данных системной магистрали
62	40	AD9	Вход/выход девятого разряда адреса-данных системной магистрали
61	39	AD10	Вход/выход десятого разряда адреса-данных системной магистрали
60	38	AD11	Вход/выход одиннадцатого разряда адреса-данных системной магистрали
53	37	AD12	Вход/выход двенадцатого разряда адреса-данных системной магистрали
52	36	AD13	Вход/выход тринадцатого разряда адреса-данных системной магистрали
51	35	AD14	Вход/выход четырнадцатого разряда адреса-данных системной магистрали
50	34	AD15	Вход/выход пятнадцатого разряда адреса-данных системной магистрали
14	10	WRQ1	Выход сигнала "Запрос на захват магистрали"
15	11	WRQ2	Выход сигнала "Запрос на захват магистрали"
16	12	WACK	Вход сигнала "Разрешение на захват магистрали через окно"
48	32	WIR	Вход сигнала "Запрос на радиальное прерывание"
17	13	DMR	Вход сигнала "Запрос на прямой доступ к пмяти"
19	15	DMGO	Выход сигнала "Разрешение на прямой доступ к памяти"
20	16	CLCO	Выход тактового импульса
21	17	CLCI	Вход тактового импульса
27	18	RPLY	Вход сигнала "Ответ внешнего устройства"
28	19	DOUT	Выход сигнала "Вывод данных"
31	22	SYNC	Выход сигнала "Синхронизация обмена"
33	23	DIN	Выход сигнала "Ввод данных"
29	20	WTBT	Выход сигнала "Управление запись-байт"
34	24	AR	Вход сигнала "Адрес принят"
35	25	IAKO	Выход сигнала "Разрешение прерывания"
36	26	ACLO	Вход сигнала "Авария сетевого питания"
37	27	DCLO	Вход сигнала "Авария источника питания"
12	14	SACK	Вход сигнала "Подтверждение разрешения прямого доступа к памяти"
44	28	INIT	Выход сигнала "Установка внешних устройств"
45	29	VIRQ	Вход сигнала "Запрос на векторное прерывание"
46	30	HALT	Вход сигнала "Переход в пультовой режим"
47	31	EVNT	Вход сигнала "Прерывание от таймера"
49	33	SEL	Вход сигнала "Обращение к системной памяти - чтение порта"
22, 32, 64	42	U	Напряжение питания



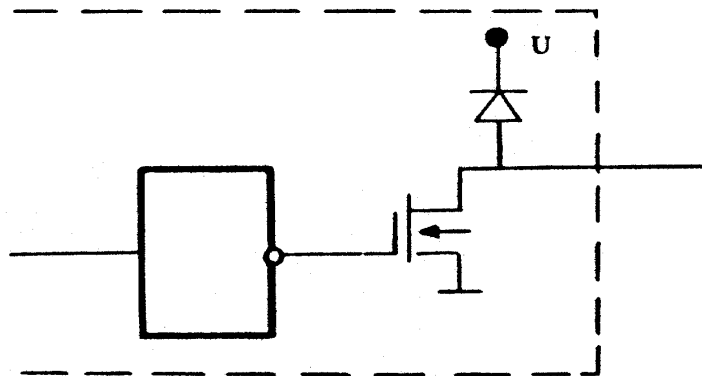
Типы входных элементов



элемент входа - выхода на выводах AD (0...15)



элемент выхода на выводах SYNC, DIN, DOUT, WTBT



элемент выхода на выводах INIT, WRQ1, WRQ2



**Предельные и предельно допустимые значения электрических параметров
(- 60°C ≤ Токр.ср. ≤ 125°C)**

Обозначение	Параметр	Предельно допустимый режим		Предельный режим		Ед. измер.
		Мин.	Макс.	Мин.	Макс.	
UCC	Выходное напряжение	4,5	5,5	4,0	6,0	В
UIN	Входное напряжение высокого уровня	3,5	UCC	-	UCC+0,4	В
UIL	Входное напряжение низкого уровня	0	0,8	-0,4	-	В
UWRQ1, UWRQ2, UDOUT, UWTBT, USYNC, UDIN, UINIT	Напряжение, прикладываемое к выводам WRQ1, WRQ2, DOUT, WTBT, SYNC, DIN, INIT в состоянии "отключено"	-0,3	UCC+0,3	-0,4	UCC+0,4	В
IOL	Выходной ток низкого уровня	-	2,0	-	3,2	мА
IOH	Выходной ток высокого уровня	-	-0,5	-	-1,0	мА
CL	Емкость нагрузки	-	100	-	150	пФ

**Основные электрические характеристики
(- 60°C ≤ Токр.ср. ≤ 125°C)**

Обозначение	Параметр	Мин.	Макс.	Ед. измер.
UOL	Выходное напряжение низкого уровня	-	0,5*	В
UOH	Выходное напряжение высокого уровня	4,0*	-	В
ICC	Ток потребления	-	10 5*	мА мА
ICCO	Динамический ток потребления	-	80	мА
ILI	Ток утечки на входе	-	1* 10	мкА мкА
ILO	Ток утечки на выходе	-	5* 50	мкА мкА
fCmax	Максимальная тактовая частота	5*	-	МГц
tADD	Время выполнения команды "сложение"	-	1,2	мкс
tMPL	Время выполнения команды "умножение"	-	17,6	мкс
tDIL	Время выполнения команды "деление"	-	24,8	мкс
CI	Входная емкость	-	15*	пФ
CO	Выходная емкость	-	15*	пФ
CI/O	Емкость входа/выхода	-	15*	пФ

* значения гарантируются при Токр. ср. = 25 ± 10°C



Описание

Микропроцессор (ПРЦ) представляет собой законченный функциональный модуль, имеющий средства коррекции интерфейса, которые позволяют менять его временные диаграммы при помощи внешних схем, приспособляя их для конкретных условий применения.

В ПРЦ предусмотрена возможность расширения системы команд путем реализации дополнительных команд на системной (скрытой) памяти. ПРЦ имеет средства для организации системной памяти таким образом, что ее адресация не пересекается с адресами основной оперативной памяти ЭВМ. Системная память дополняет оперативную память и доступна только с помощью специальных команд.

В ПРЦ реализован метод приема команд с опережением. Алгоритм приема и обработки команд построен так, что к концу выполнения команды следующая команда уже принята на буферный регистр команд и начинается прием еще одной команды. Такой процесс опережения осуществим только на линейных участках программы, когда нет ветвлений. При выполнении команд ветвления и вообще любых команд, в которых происходит загрузка счетчика команд, команда, принятая на буферный регистр команд (БРК), оказывается не той, которая предусматривалась по программе. В таких случаях аппаратно осуществляется повторный прием следующей команды. Для восстановления опережения в этой же команде подготавливается прием еще одной команды. Нарушение опережения происходит также в том случае, когда по счетчику читается не команда, а данные. В конце команды с адресацией данных по счетчику команд происходит также восстановление опережения путем организации чтения двух команд следующих за текущей командой.

Повторный прием команды происходит также в том случае, когда текущая команда модифицирует следующую за ней команду. После окончания процедуры модификации, т.е. записи по адресу следующей команды, эта измененная команда читается и выполняется. Происходит повторный прием команды, поскольку в течение выполнения текущей команды следующая уже была принята на БРК. Каждая команда, принятая на ПРЦ, записывается в БРК, откуда она поступает на дешифратор команд. Дешифратор команд запускается, если команда принята на БРК и установлен признак того, что предыдущая команда окончилась. К концу цикла дешифратора команд (ДШК) команда переписывается из БРК в регистр команд (РК); в регистре текущего адреса устанавливается начальный адрес микропрограммы, вырабатываются некоторые служебные признаки и запускается программируемая логическая матрица

(ПЛМ) накопителя микрокоманд. Выработанная микрокоманда записывается в регистр микрокоманд (РМК) и поступает на дешифратор поля чтения микрокоманды. После дешифрации запускается операционный блок (ОБ) и выполняется фаза чтения. Во время выполнения фазы чтения происходит дешифрация поля записи микрокоманды, и после завершения фазы чтения выполняется фаза записи. Во время работы ОБ блок микропрограммного управления (БМУ) вырабатывает следующую микрокоманду. Такой процесс выработки — выполнения микрокоманд, продолжается до завершения выполнения команды. В последней микрокоманде запускается блок прерываний (БПР) и, если есть незамаскированное прерывание, ПРЦ переходит на микропрограмму обработки прерывания.

В каждой команде есть обращение к устройствам на системной магистрали. Это цикл приема следующей команды, чтение и запись данных. Если в поле обмена микрокоманды есть признак обращения к системной магистрали, ОБ вырабатывает сигнал запроса на обмен, который поступает в интерфейсный блок (ИБ). Если системная магистраль свободна, ИБ выполняет цикл обмена по системной магистрали. ОБ в это время может выполнять микрокоманды, не связанные с обменом или связанные с подготовкой к следующему обмену. После окончания обработки очередной команды ПРЦ переходит к обработке следующей и т.д. до конца программы.

Общие принципы организации интерфейса

В ПРЦ применяется асинхронный принцип выдачи адреса и приема-выдачи данных. Установкой сигнала SYNC в низкий уровень ПРЦ сообщает устройствам на системной магистрали, что адрес выставлен на выводах AD (0-15). Адрес не снимается и процесс обмена не продолжается, пока на выводе AR ПРЦ не будет установлен низкий уровень сигнала. Установка сигнала — переход сигнала из высокого уровня в низкий; снятие сигнала — переход сигнала из низкого в высокий. В процедуре чтения данных установкой сигнала DIN в низкий уровень ПРЦ сообщает внешним устройствам, что процесс выдачи адреса закончен и он готов к приему данных. Далее процессор ожидает поступления сигнала RPLY от внешнего устройства, который является признаком того, что данные поступили на магистраль. Прием данных процессором заканчивается снятием сигнала DIN. В процедуре записи признаком того, что ПРЦ выставил данные на выводах AD(0-15) является установка сигнала на выводе DOUT. Процесс записи не про-



должается, пока на выводе RPLY не будет установлен низкий уровень сигнала. Признаком того, что процесс записи закончен, является установка сигнала на выводе DOUT ПРЦ в высокий уровень.

ПРЦ начинает обмен только тогда, когда свободна системная магистраль или дополнительная магистраль при обращении к ней через окно. Признаком того, что системная магистраль свободна, является для ПРЦ наличие высоких уровней сигнала на выводах DMR, SACK, AR и RPLY. Признаком того, что дополнительная магистраль, видимая через окно, свободна, является наличие высоких уровней сигнала на выводах DMR, SACK, AR и PRLY, а также низкого уровня на выводах WACK.

Если в процессе работы необходимо остановить обмены, инициируемые ПРЦ, можно воспользоваться сигналом DMR. При установке в низкий уровень этого сигнала ПРЦ выполнит до конца текущий обмен и по всем выходам, за исключением выходов CLCO, DMGO, SEL, IAKO перейдет в пассивное третье со-

стояние. При переводе сигнала на выводе DMR в высокий уровень ПРЦ продолжит выполнение программы с места останова. Внешняя тактовая частота, поступающая на вход CLCI, синхронизирует работу всех блоков внутри ПРЦ и транслируется на выход CLCO с некоторой внутренней задержкой относительно CLCI.

Прием входных и выдача выходных сигналов привязывается к внутренней частоте синхронизации CLC. На временных диаграммах все сигналы представлены относительно сигнала CLCO.

Сигналы DMR и WACK как по переднему, так и по заднему фронту принимаются через двухуровневую привязку. Запись в первый уровень осуществляется низким уровнем сигнала CLC, во второй уровень — высоким уровнем сигнала CLC. Сигнал SACK низким уровнем принимается асинхронно, а высоким уровнем через двойную привязку. Запись в первый уровень осуществляется низким уровнем сигнала CLC.

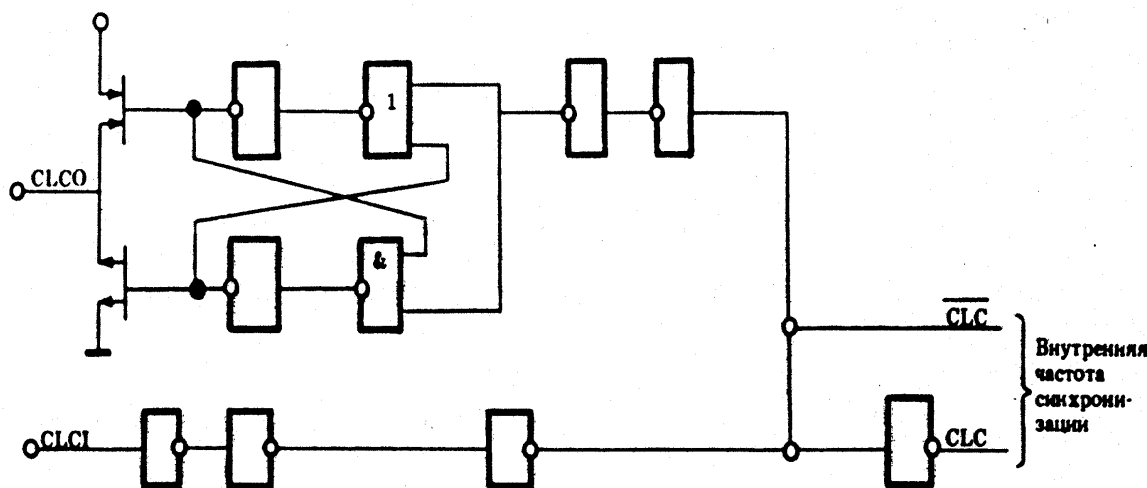
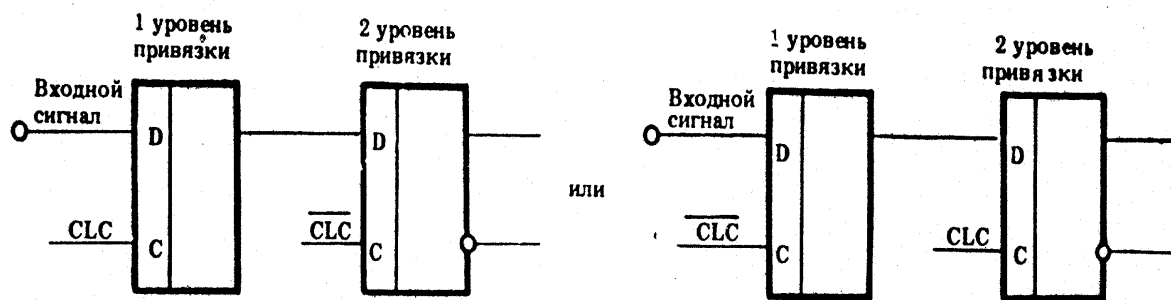


Схема формирования сигналов внутренней синхронизации и сигнала CLCO



Привязки входных сигналов ПРЦ к внутренней тактовой частоте



Сигнал AR низким уровнем заканчивает фазу выдачи ППЦ адреса на магистраль. AR поступает на две различные цепи с двухуровневой привязкой. Первая привязка предназначена для отслеживания низкого уровня сигнала AR. Запись в первый уровень привязки осуществляется низким уровнем сигнала CLC и с его выхода поступает на схему формирования низкого уровня сигнала DIN. Запись во второй уровень осуществляется высоким уровнем сигнала CLC, а его выход поступает на схему выдачи данных и схему формирования низкого уровня сигнала DOUT. Сброс осуществляется интерфейсным блоком в конце обмена независимо от наличия сигнала AR. Вторая цепь предназначена для отслеживания перехода сигнала AR из низкого в высокий уровень. Запись в первый уровень этой цепи как по переднему, так и по заднему фронту осуществляется низким уровнем сигнала CLC, запись по второй уровень привязки также по обоим фронтам высоким уровнем CLC. Выход второго уровня этой цепи поступает на вход схемы торможения начала следующего обмена.

Сигнал RPLY также поступает на две различные цепи с двухуровневой привязкой. Первая цепь предназначена для запуска фаз записи и чтения. Прием в первый уровень осуществляется высоким уровнем сигнала CLC, а во второй — низким уровнем сигнала CLC. Вторая цепь предназначена для отслеживания перехода сигнала RPLY из низкого в высокий уровень с целью управления началом следующего обмена. Запись в первый уровень этой цепи осуществляется низким уровнем сигнала CLC, а запись во второй — высоким. Когда ППЦ работает с быстрыми внешними устройствами, например с ОЗУ, находящимся на той же плате, что и ППЦ, для достижения максимального быстродействия нужно выдачу сигналов AR и RPLY согласовать с их приемом в ППЦ.

Длительность фазы выдачи адреса при адресном обмене регулируется сигналом AR. Чтобы эта фаза была минимальной по длительности, сигнал AR нужно выставить низким уровнем не позже времени выставления сигнала SYNC плюс $1/2T$ CLC.

Для всех видов адресного обмена окончание текущего цикла процедуры обмена и переход к следующему циклу происходит одинаково. При получении сигнала RPLY (низкий уровень) ППЦ выполняет процедуру чтения или записи и снимает свои сигналы DIN, DOUT и SYNC независимо от времени поступления высокого уровня сигнала на вывод RPLY. Если во время текущего цикла обмена процессор сформиро-

вал запрос на следующий цикл обмена и при этом нет запроса на прямой доступ к памяти, а сигнал AR снят не позже того, как ППЦ снимет сигнал DIN или DOUT плюс $1/2T$, то процессор независимо от снятия сигнала RPLY выставит адрес следующего цикла обмена одновременно со снятием сигнала SYNC текущего обмена и начнет следующий обмен. В этом случае, если сигнал RPLY от закончившегося обмена не снят, а сигнал AR для начавшегося обмена установлен (низкий уровень), то процессор выставит сигналы DIN или DOUT в соответствующей им фазе привязки к сигналу CLC только лишь после снятия сигнала RPLY от предшествующего обмена. Если процессор не сформировал запрос на следующий обмен в течение текущего цикла обмена или в это время пришел сигнал запроса прямого доступа к памяти, то начало следующего цикла обмена будет зависеть не только от состояния сигнала AR, но и от состояния сигнала RPLY закончившегося обмена или закончившейся процедуры прямого доступа.

Если в процессе текущего обмена сигнал AR снимается позже, чем ППЦ снимет сигнал DIN или DOUT, то следующий обмен начнется только после установки сигналов AR и RPLY в высокий уровень.

Начало следующего за процедурой приема адреса вектора прерывания обмена определяется высоким уровнем на выводе RPLY.

Так как в определенных ситуациях следующий обмен начинается независимо от состояния сигнала на выводе RPLY, то для задержки запуска процессора пользоваться сигналом RPLY нельзя. С этой целью можно использовать задержку снятия сигнала AR. Если снятие сигнала AR производить по снятию сигнала SYNC, то произойдет дополнительная задержка следующего обмена на один период тактовой частоты.

Если ППЦ ведет обмен с медленными внешними устройствами, то временная диаграмма сигналов интерфейса ППЦ корректируется с помощью внешних схем. В этом случае разрешение на начало следующего цикла обмена нужно передавать на ППЦ с помощью сигнала AR (высокий уровень).

На временных диаграммах все сигналы даны относительно выводов микросхемы. Задержки сигналов отсчитываются от середины логического перепада сигналов. Сигналы на временных диаграммах приведены для случая работы с быстрыми внешними устройствами.



Инициирование микропроцессора

Для инициирования ПРЦ требуется одновременно с появлением напряжения питания (U_{CC}) сформировать определенную последовательность сигналов: авария источника питания (DCLO) и авария сетевого питания (ACLO).

Первая фаза — фаза начальной установки микросхемы, во время которой происходит сброс в исходное состояние блоков управления ПРЦ. ПРЦ выставляет сигнал низкого уровня на вывод ANIT. Фаза длится от подачи питающего напряжения U_{CC} до снятия сигнала DCLO.

Вторая фаза — фаза ожидания снятия сигнала аварии сетевого питания. Фаза длится от снятия сигнала DCLO до снятия сигнала ACLO. По снятию сигнала DCLO ПРЦ выставляет высокий уровень на вывод INIT.

Третья фаза — работа микропрограммы инициализации.

Безадресное чтение

ПРЦ имеет специальную процедуру синхронного обмена — безадресное чтение. Эта процедура выполняется при переходе процессора на микропрограмму обработки фатальных прерываний и при выполнении команды HALT для чтения условий начального пуска, а также по специальной команде ЧПТ.

Адресное чтение

Процедура адресного чтения используется для чтения команд и данных по адресу ячейки памяти или данных из регистра внешнего устройства.

Запись

Процедура записи применяется для записи данных по адресу ячейки памяти или регистра внешнего устройства.

Чтение - модификация - запись

В ПРЦ процедура чтение-модификация-запись позволяет прочитать по адресу операнд, произвести над ним операцию и переписать результат по тому же адресу. Процедура состоит из трех фаз: фазы выдачи, фазы чтения и фазы записи.

Прием адреса вектора прерывания

В ПРЦ процедура приема адреса вектора прерывания является составной частью обработки векторного прерывания по сигналу VIRQ.

Предоставление прямого доступа к памяти

В ПРЦ имеется арбитр прямого доступа к памяти. Разрешение на прямой доступ к памяти может быть представлено после любого цикла обмена ПРЦ по магистрали независимо от его вида, в том числе и во время обработки прерывания. Сигнал запроса на прямой доступ к памяти на выводе DMR принимается на ПРЦ в фазе низкого уровня сигнала CLC. Сигнал разрешения на прямой доступ выдается на вывод DMGO в фазе низкого уровня сигнала CLC.

Захват "видимой" через окно магистрали

Выделение в микропроцессоре двух областей адресного пространства под области окон W0 и W1 с поддержкой захвата «видимой» через окно магистрали позволяет организовать многопроцессорные системы с локальной памятью

Область адресов	Окно
160000-163777	W0
164000-167777	W1

ПРЦ имеет специальные выходы, предназначенные для организации работы с дополнительными магистралями через окна.

Слово состояния процессора (ССП)

ССП, хранящееся в регистре состояний (РСП), содержит информацию о текущем приоритете ПРЦ, значениях кодов условий ветвления, зависящих от результата выполнения команды, и о состоянии T-разряда, используемого для прерывания программ при отладке.

Разряд приоритета ПРЦ (7-й разряд ССП) может находиться в состоянии "0" или "1". В последнем случае внешние устройства не могут вызвать прерывание текущей команды. Для удовлетворения требований прерывания программы разряд 7 ССП должен быть равен "0".

Коды условий ветвления содержат информацию о признаках состояний ПРЦ, выработанных при выполнении последней команды. Процедуру установки их в соответствующее значение выполняют все арифметические и логические команды. Установка отдельных разрядов этих кодов выполняется в следующих случаях:



Формат ССП

Z=1, если результат равен 0;

N=1, если результат отрицателен;

C=1, если в результате выполнения команды произошел перенос из самого старшего разряда, или, если при сдвиге вправо или влево из самого младшего, или самого старшего разряда была выдвинута единица;

V=1, если в результате выполнения операции произошло арифметическое переполнение.

При переписи ССП может устанавливаться или очищаться T-разряд. Если он установлен, то по завершении выполнения текущей команды будет вызвано прерывание программы с адресом вектора прерывания — 14. Использование T-разряда особенно эффективно в отладочных программах для организации такого режима выполнения отлаживаемой программы, когда исполнение интересующих пользователя

команд вызывает прерывание программы и переход на программу связи с оператором. Это дает возможность пользователю предпринять необходимые действия.

Для обеспечения особых условий выполнения программ обработки фатальных состояний и реализации директив пультового терминала в процессоре введен особый режим выполнения программ — HALT (в отличие от обычного режима выполнения программ USER). Признаком нахождения процессора в режиме HALT является значение 8-го разряда РСЦ, равное единице.

РСЦ(8)	Режим
0	USER
1	HALT



Переключение режимов процессора во время загрузки РСП

Команда, прерывание	РСП
MTPS	РСП (7:5, 3:0) — загружаются РСП (4) — сохраняется РСП (8) — сохраняется
RTI, RTT	РСП (7:0) — загружаются РСП (8) — сохраняется если разряды нового СК (15:13) ≠ 111, иначе загружается
TRAP, IOT, EMT	РСП (7:0) — загружаются РСП (8) — обнуляется
Включение питания, фатальные состояния, HALT, ШАГ, ПУСК	РСП (8:0) — загружаются

Для разделения адресного пространства режимов USER и HALT в процессоре введен 17 разряд адреса, отражающий состояние РСП (8). В режиме HALT во время выдачи адреса на магистраль на выводе SEL появляется активный сигнал, сообщающий об обращении к адресному пространству режима HALT.

Описание системы команд

Группа кодов команд обработки данных в формате с плавающей запятой условно рассматривается процессором либо как резервные коды, либо как специальное командное прерывание. Кроме того, в режиме процессора HALT выполняется специальная группа команд этого режима.

Реакция процессора на загрузку в регистр команд кодов команд обработки данных в формате с плавающей запятой (FADD, FSUB, FMUL, FDIV).

Форма этой группы кодов:

15					0
0	111	101	000	0XX	XXX

Процессор выполняет микропрограмму, состоящую из следующих шагов:

- 1) по процедуре безадресного чтения считывается внешний регистр (SEL) и анализируется значение 7-го разряда;
- 2) если SEL(7)=1, то начинает выполняться микропрограмма обработки прерываний по резервному коду.

Если SEL(7)=0, то начинается микропрограмма перехода процессора в режим HALT с адресом вектора, формируемым следующим образом:

АВП(15:8)=SEL(15:8)

АВП(7:0)=00001000

Специальная группа команд режима HALT

Эта группа команд выполняется только при РСП(8)=1.

Если РСП(8)=0, то эта группа кодов рассматривается как резервные коды.

Добавление специальной группы команд режима HALT связано с принятой организацией построения консольной системы (пультного терминала). Основные принципы этой организации включают:

программную реализацию директив консоли, с хранением программ в ПЗУ;

использование для ввода-вывода стандартного терминального устройства;

расположение программ диалога пультного терминала в специальной области HALT, не пересекающейся с основной программной областью процессора.

Режим прерывания процессора

При возникновении условий прерывания ПРЦ микропрограммно выполняет первоначальную фазу переключения процессов, включающую сохранение вектора состояния прерываемого процесса и загрузку вектора состояния прерывающего процесса. Дальнейшее переключение процессов выполняется на программном уровне.

Загрузку значения вектора прерывания ПРЦ выполняет из пары ячеек внешнего ОЗУ или ПЗУ. Адрес вектора прерывания (указатель пары ячеек внешней памяти) формируется в ПРЦ в соответствии с конкретным запросом прерывания. Адрес вектора прерывания является адресом ячейки памяти, содержащей значение счетчика команд. Адрес вектора прерывания, увеличенный на два, является адресом ячейки памяти, содержащей значение слова состояния ПРЦ.

Временные параметры на входах А0 - А3

Код				Время (нс)	
A0	A1	A2	A3	Предустановка адреса	После установки адреса
1	0	0	0	~120	200
0	1	0	0	320	200
0	0	1	0	520	200
0	0	0	1	720	200

Код 0000 на входах А0-А3 представляет собой запретную комбинацию.



Система команд

N	Мнемоника	Команда	Код
1	CLR(B)	Очистка	X050DD
2	COM(B)	Инвертирование	X051DD
3	INC(B)	Прибавление единицы	X052DD
4	DEC(B)	Вычитание единицы	X053DD
5	NEG(B)	Изменение знака	X054DD
6	TST(B)	Проверка	X057DD
7	ASR(B)	Арифметический сдвиг вправо	X062DD
8	ASL(B)	Арифметический сдвиг влево	X063DD
9	ROR(B)	Циклический сдвиг вправо	X060DD
10	ROL(B)	Циклический сдвиг влево	X061DD
11	ADC(B)	Прибавление переноса	X055DD
12	SBC(B)	Вычитание переноса	X056DD
13	SXT	Расширение знака	0067DD
14	SWAB	Перестановка байтов	0003DD
15	MFPS	Чтение ССП	1067DD
16	MTPS	Запись ССП	1064SS
17	MOV(B)	Пересылка	X1SSDD
18	CMP(B)	Сравнение	X2SSDD
19	ADD	Сложение	06SSDD
20	SUB	Вычитание	16SSDD
21	BIT(B)	Проверка разрядов	X3SSDD
22	BIC(B)	Очистка разрядов	X4SSDD
23	BIS(B)	Логическое сложение	X5SSDD
24	XOR	Исключающее ИЛИ	074RDD
25	BR	Ветвление безусловное	000400-000777
26	BNE	Ветвление (если не равно нулю)	001000-001377
27	BEQ	Ветвление (если равно нулю)	001400-001777
28	BPL	Ветвление (если плюс)	100000-100377
29	BMI	Ветвление (если минус)	100400-100777
30	BVC	Ветвление (если нет арифметического переполнения)	102000-102377
31	BVS	Ветвление (если есть арифметическое переполнение)	102400-102777
32	BCC, BHIS	Ветвление (если больше или равно)	103000-103377
33	BCS, BLO	Ветвление (если меньше)	103400-103777
34	BGE	Ветвление (если больше или равно нулю)	002000-002377
35	BLT	Ветвление (если меньше нуля)	002400-002777
36	BGT	Ветвление (если больше)	003000-003377
37	BLE	Ветвление (если меньше или равно нулю)	003400-003777
38	BHI	Ветвление (если больше)	101000-101377
39	BLOS	Ветвление (если меньше или равно)	101400-101777
40	JMP	Безусловный переход	0001DD
41	JSR	Обращение к подпрограмме	004RDD
42	RTS	Возврат из подпрограммы	00020R
43	MARK	Восстановление УС	0064NN
44	SOB	Вычитание единицы и ветвление	077RNN
45	EMT	Командное прерывание для системных программ	104000-104377
46	TRAP	Командное прерывание	104400-104777
47	IOT	Командное прерывание для ввода-вывода	000004
48	BPT	Командное прерывание для отладки	000003
49	RTI	Возврат из прерывания	000002
50	RTT	Возврат из прерывания	000006
51	HALT	Останов	000000



окончание

52	WAIT	Ожидание	000001
53	RESET	Сброс внешних устройств	000005
54	CLN	Очистка N	000250
55	CLZ	Очистка Z	000244
56	CLV	Очистка V	000242
57	CLC	Очистка C	000241
58	CCC	Очистка всех разрядов (N, Z, V, C)	000257
59	SEN	Установка N	000270
60	SEZ	Установка Z	000264
61	SEV	Установка V	000262
62	SEC	Установка C	000261
63	SCC	Установка всех разрядов (N, Z, V, C)	000277
64	NOR	Нет операции	000240
65	MPL	Умножение	070RSS
66	DIV	Деление	071RSS
67	ASH	Сдвиг на "N" разрядов одного слова	072RSS
68	ASHC	Сдвиг на "N" разрядов двойного слова	073RSS
69	ПУСК	Спецкоманда	000010-000013
70	ШАГ	Спецкоманда	000014-000017
71	ЧПТ	Спецкоманда	000020-000030
72	ЧЧП	Спецкоманда	000021
73	ЧКСК	Спецкоманда	000022, 000023
74	ЧКСП	Спецкоманда	000024-000027
75	ЗЧП	Спецкоманда	000031
76	ЗКСК	Спецкоманда	000032, 000033
77	ЗКСП	Спецкоманда	000034-000037

Примечания:

1. Знак X имеет значение "0" для команд с полными словами и "1" для байтовых команд.

2. При описании команд используются следующие обозначения:

SS — поле адресации операнда источника;

DD — поле адресации операнда приемника;

ССП — слово состояния процессора;

УС — указатель стека;

N — 3 разряд ССП;

Z — 2 разряд ССП;

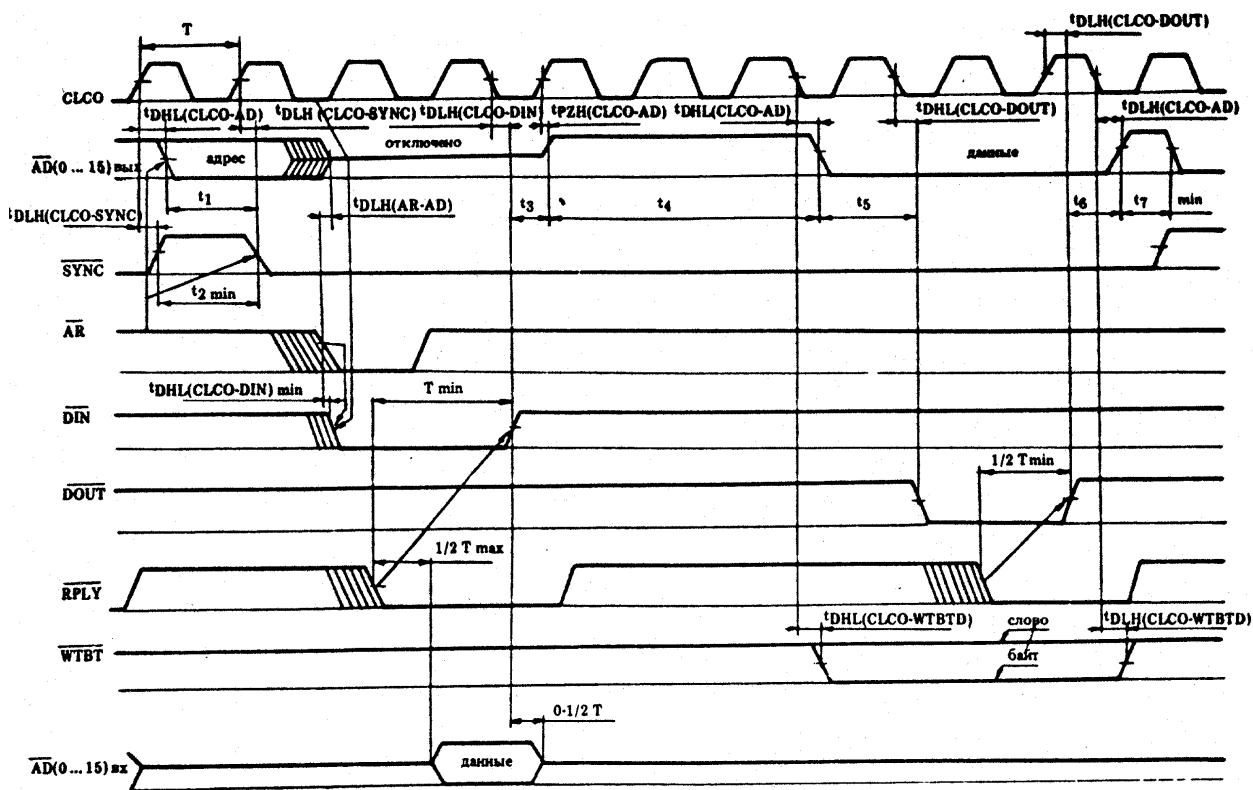
V — 1 разряд ССП;

C — 0 разряд ССП;

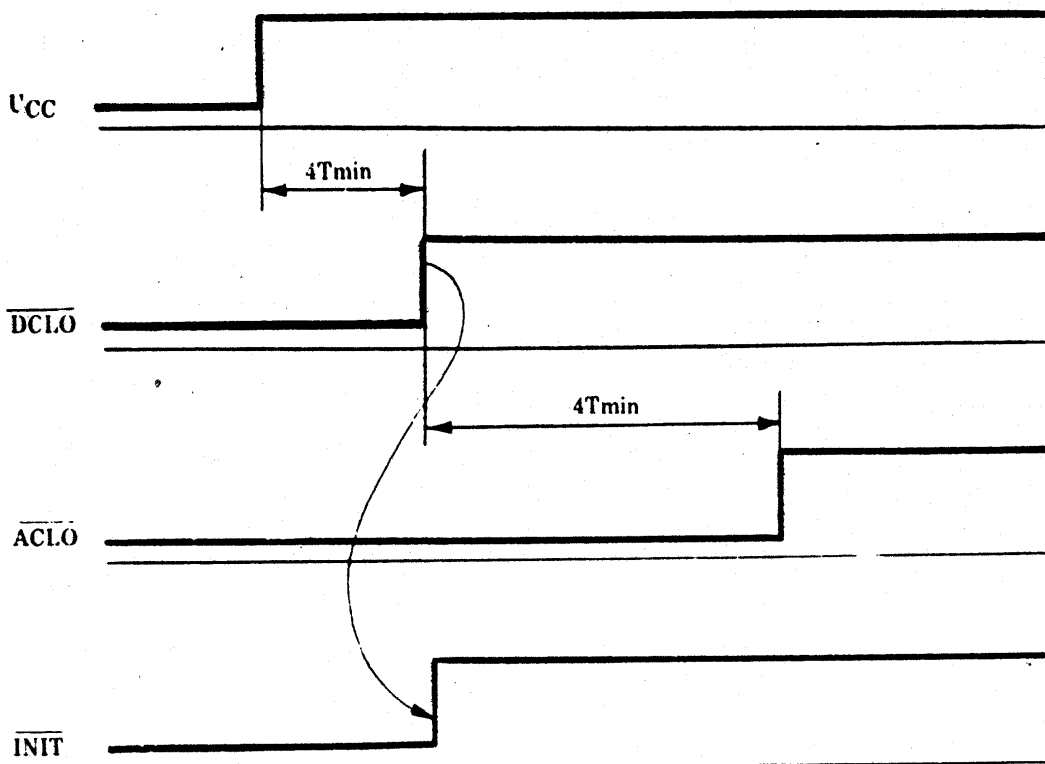
R — номер регистра;

B — байтовая команда.

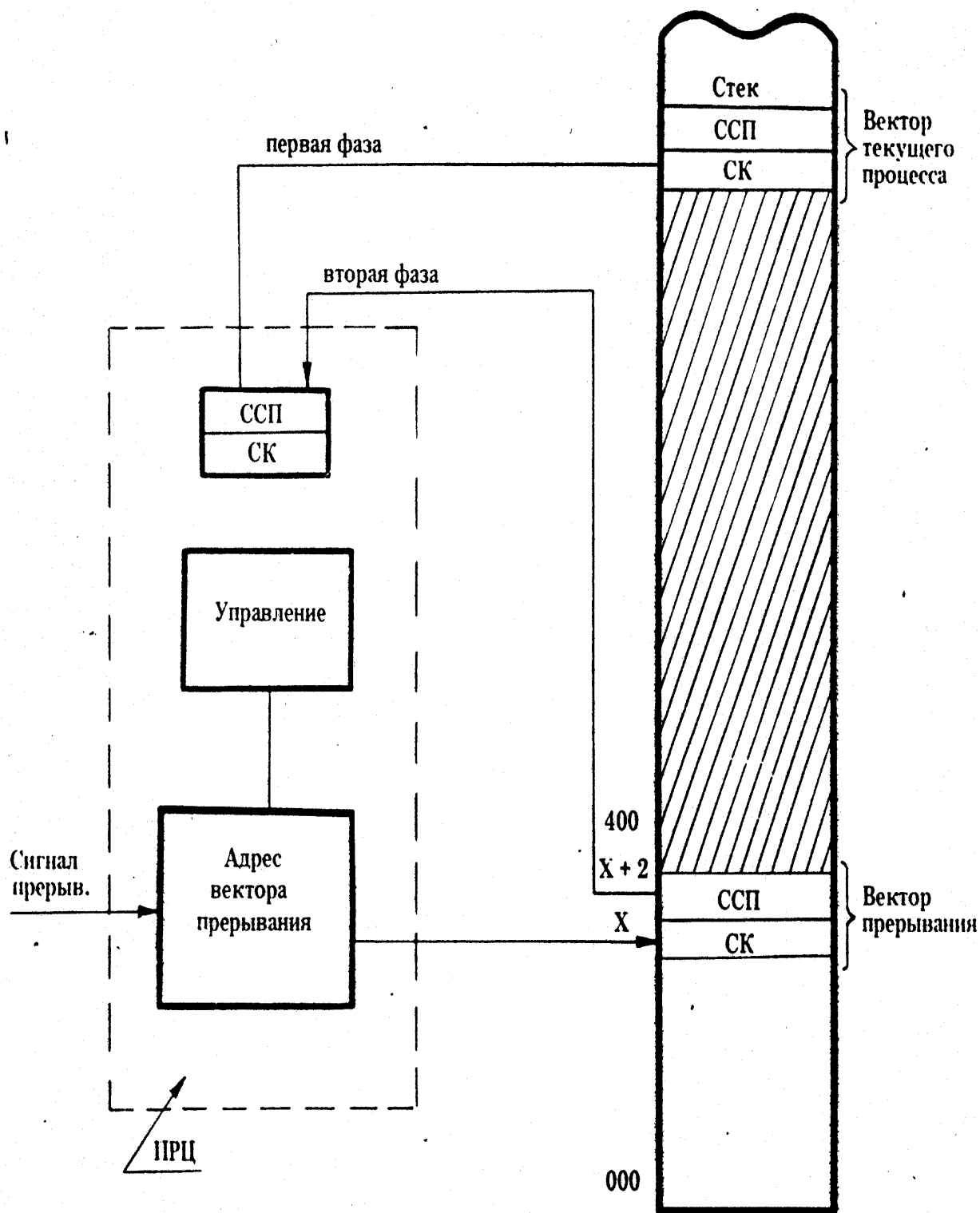
3. Указанное время выполнения команд определено при регистровом методе адресации на линейных участках программы.



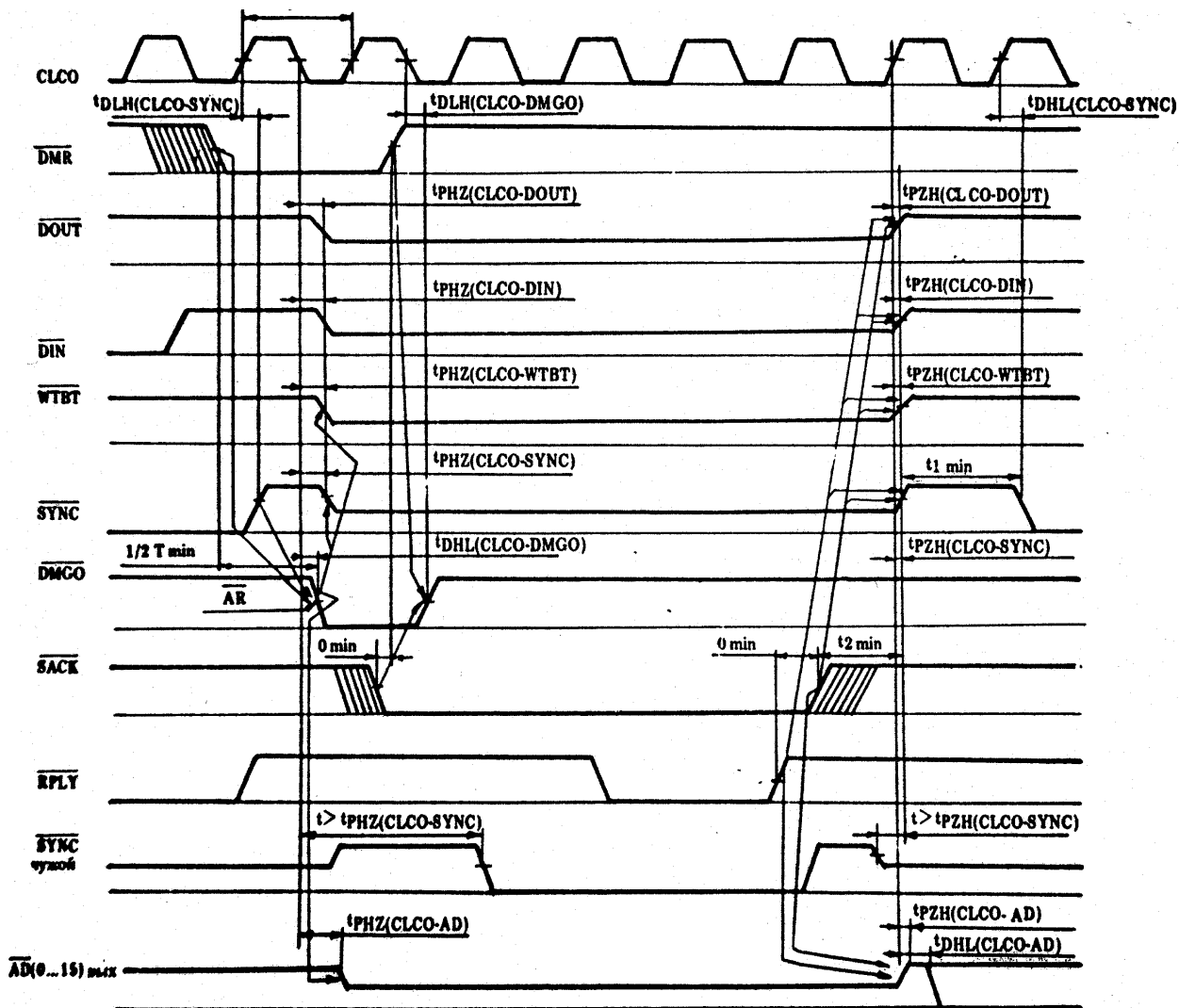
Процедура чтения - модификации - записи



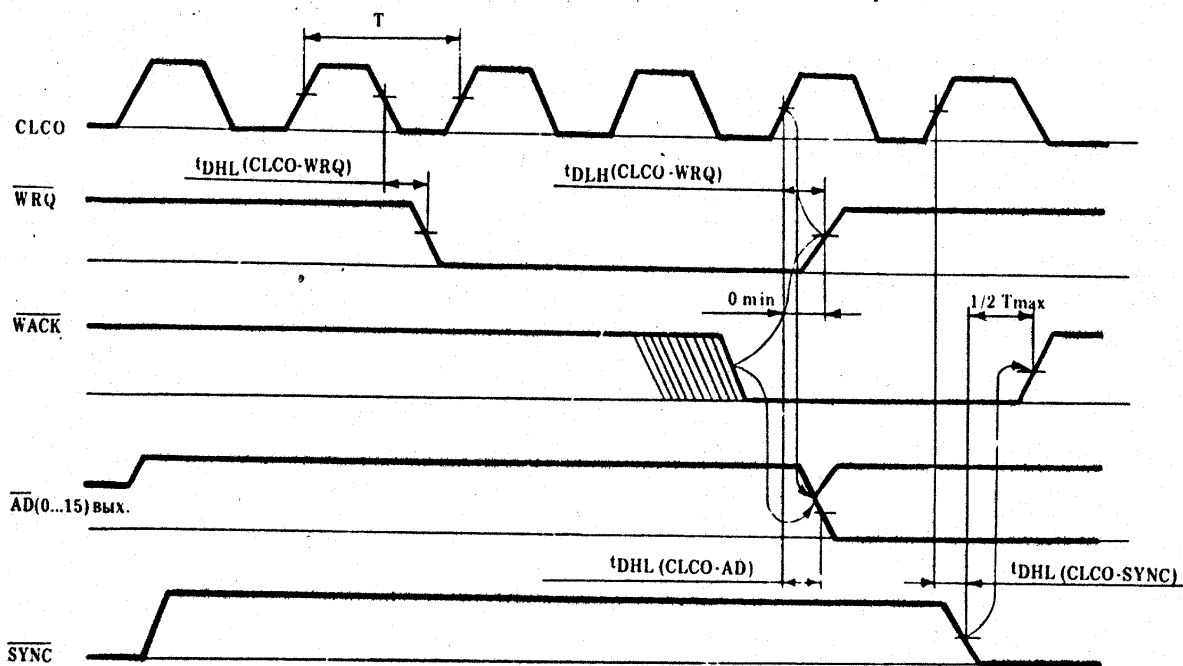
Сигналы DCLO и ACLO при включении питания



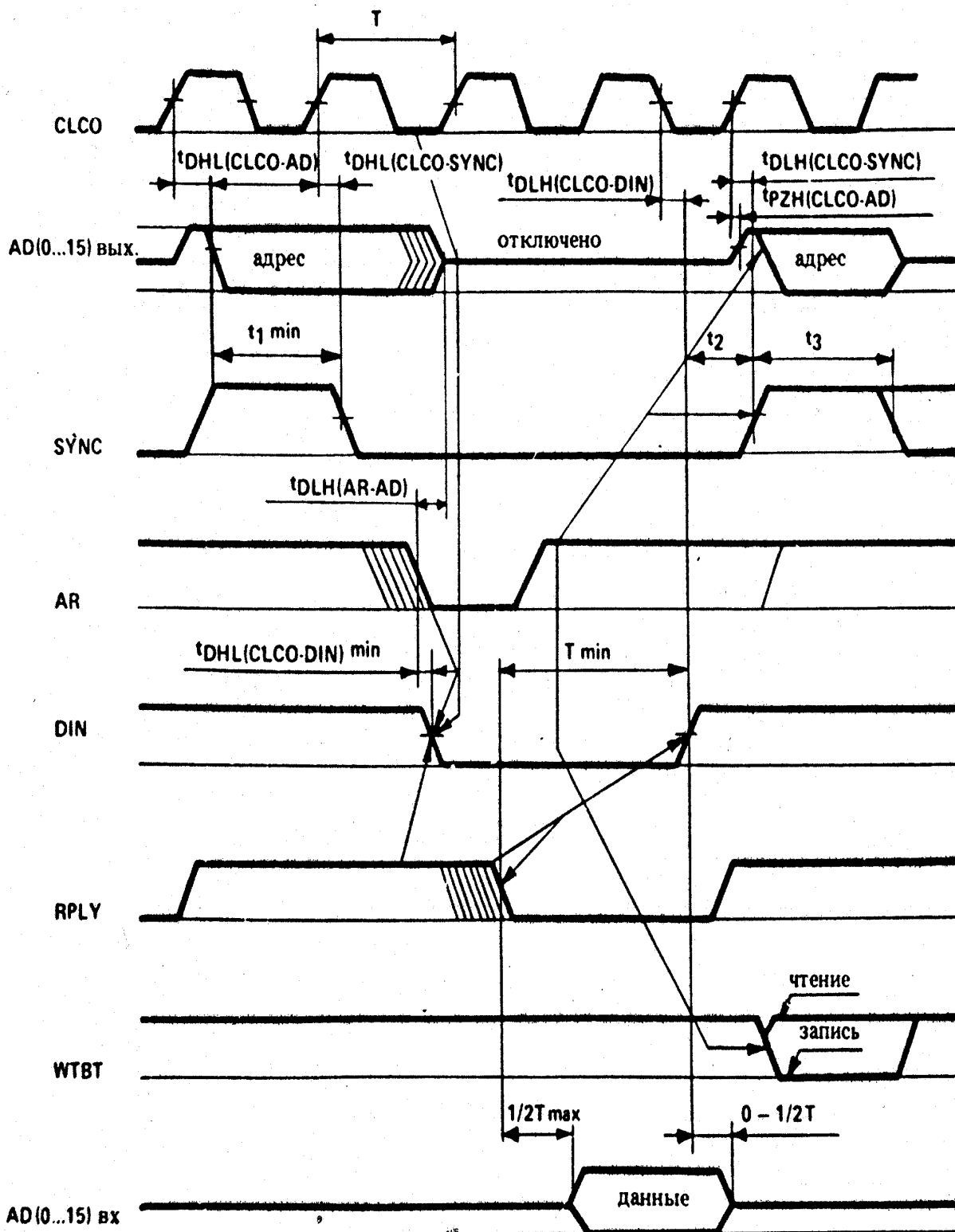
Условная схема процедуры прерывания



Передача управления магистралью по запросу прямого доступа к памяти

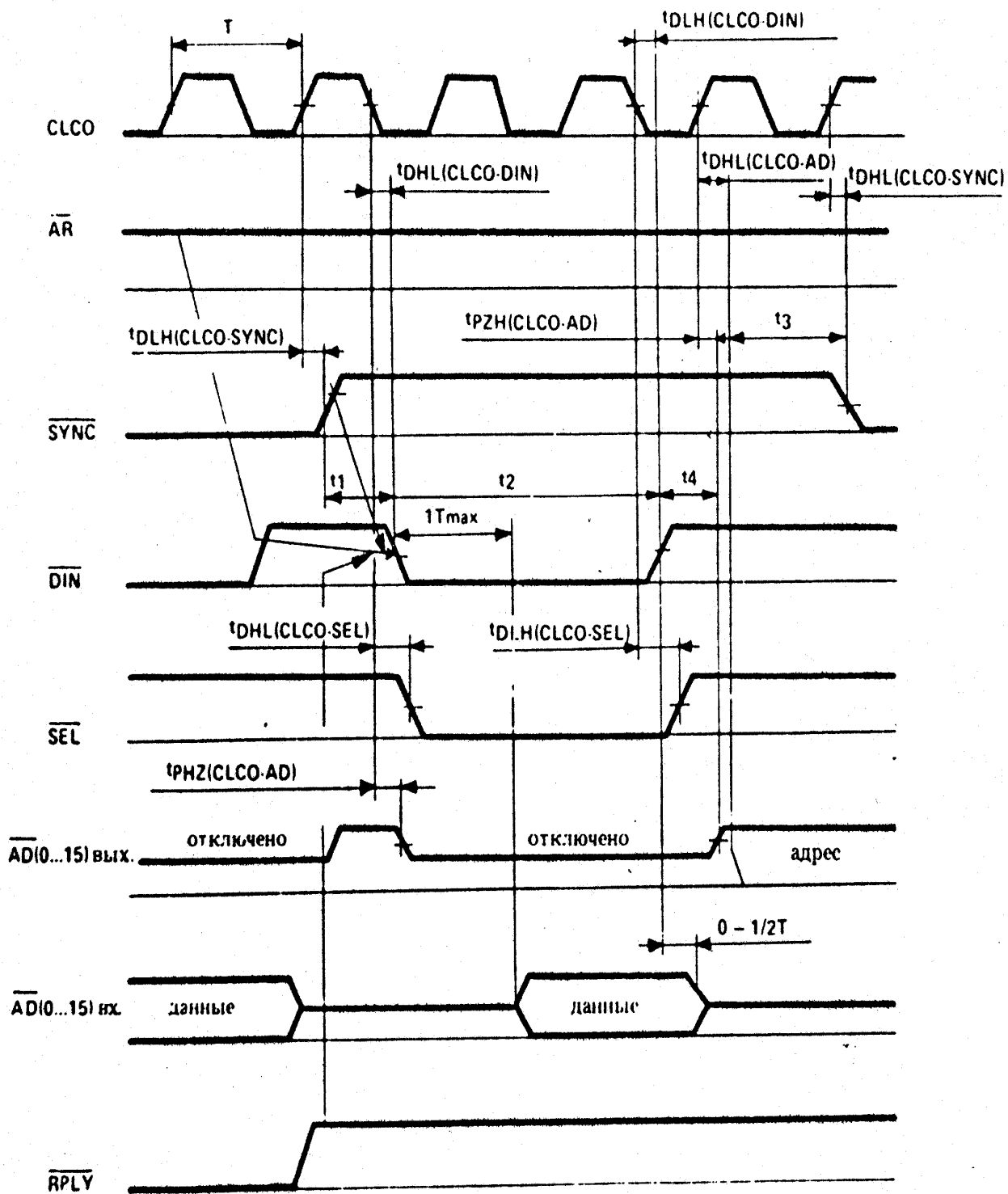


Процедура захвата дополнительной магистрали



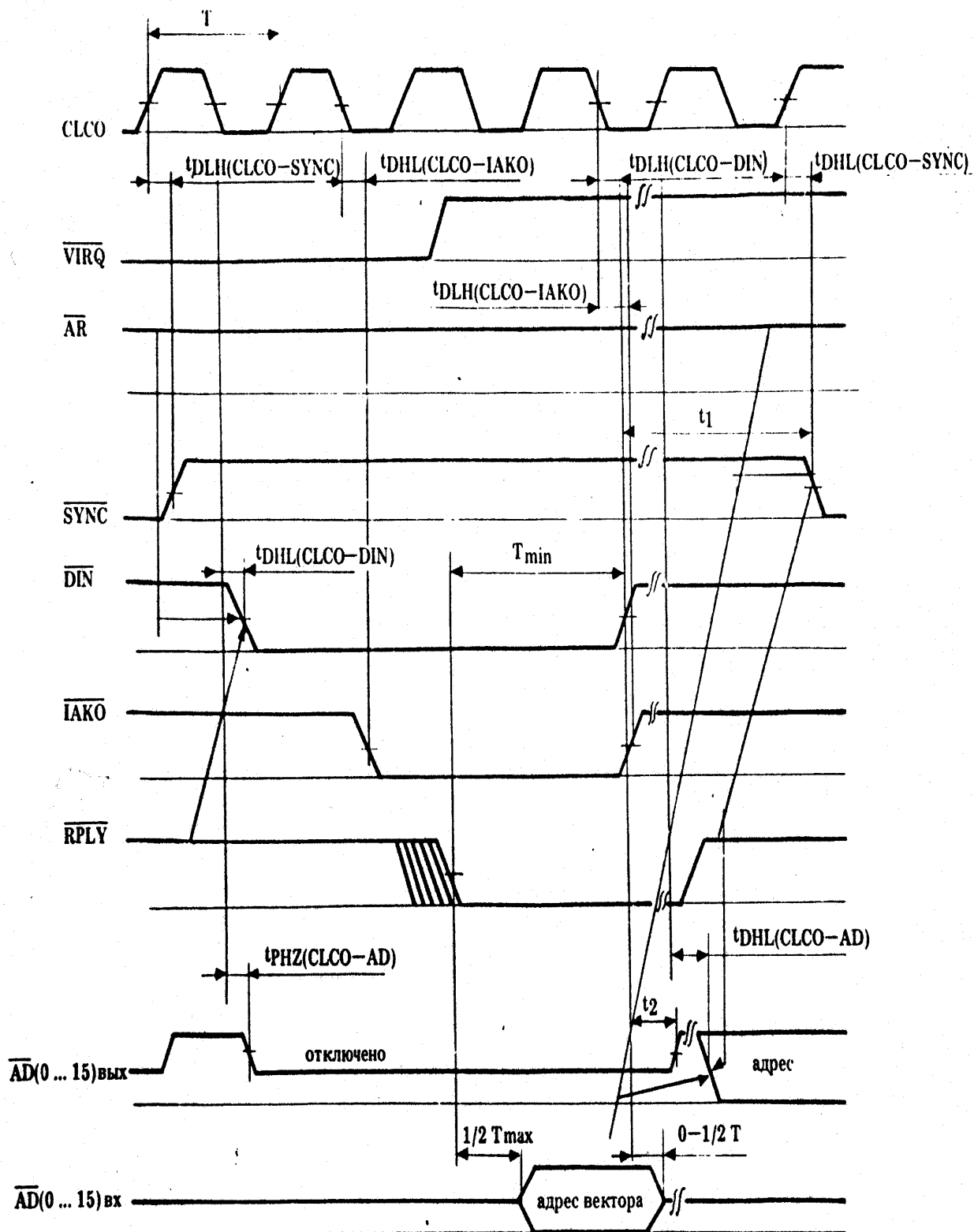
$$t_1 = T + \{ \text{DLH}(\text{CLCO-SYNC}) + \text{DLH}(\text{CLCO-AD}) \}$$
$$t_2 = 1/2T + \{ \text{DLH}(\text{CLCO-SYNC}) - \text{DLH}(\text{CLCO-DIN}) \}$$
$$t_3 = T + \{ \text{DLH}(\text{CLCO-SYNC}) - \text{DLH}(\text{CLCO-SYNC}) \}$$

Процедура адресного чтения



- $$t_1 = 1/2T + |t_{DHL}(CLCO-DIN) - t_{DHL}(CLCO-SYNC)|$$
- $$t_2 = 2T + |t_{DHL}(CLCO-DIN) - t_{DHL}(CLCO-DIN)|$$
- $$t_3 = T + |t_{DHL}(CLCO-SYNC) - t_{DHL}(CLCO-AD)|$$
- $$t_4 = 1/2T + |t_{PHZ}(CLCO-AD) - t_{DHL}(CLCO-DIN)|$$

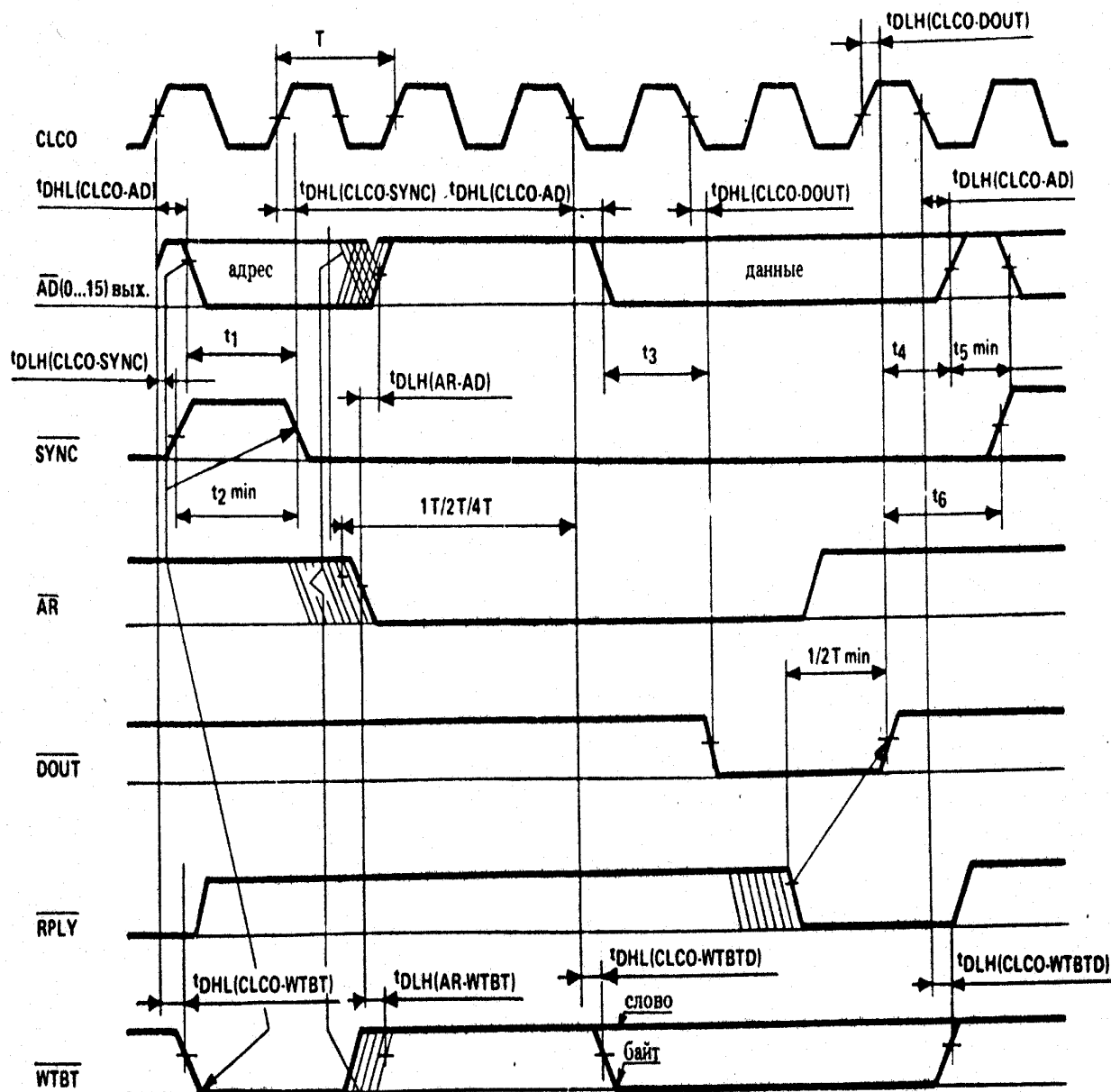
Процедура безадресного чтения



$$t_1 = 4 \cdot 1/2 T + |t_{\text{DHL}}(\text{CLCO-SYNC}) - t_{\text{DHL}}(\text{CLCO-DIN})|$$

$$t_2 = 1/2 T + |t_{\text{PHZ}}(\text{CLCO-AD}) - t_{\text{DHL}}(\text{CLCO-DIN})|$$

Процедура приема адреса вектора прерывания



$$t_1 = T + \{DHL(CLCO-SYNC) - DHL(CLCO-AD)\}$$

$$t_2 = T + \{DHL(CLCO-SYNC) - DLH(CLCO-SYNC)\}$$

$$t_3 = T + \{DHL(CLCO-DOUT) - DHL(CLCO-AD)\}$$

$$t_4 = 1/2 T + \{DLH(CLCO-AD) - DLH(CLCO-DOUT)\}$$

$$t_5 = 1/2 T + \{DHL(CLCO-AD) - DLH(CLCO-AD)\}$$

$$t_6 = T + \{DLH(CLCO-SYNC) - DLH(CLCO-DOUT)\}$$

Процедура записи

103460, МОСКВА, Зеленоград, ОАО АНГСТРЕМ
 т. (095) 531-49-06, т/ф. 532-96-21 • E-mail: market@angstrem.ru • http://www.angstrem.ru

